

S/N Unknown

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: NIYAMA et al. Examiner: Unknown
Serial No.: Unknown Group Art Unit: Unknown
Filed: Concurrent herewith Docket No.: 12844.0065US01
Title: ELECTRONIC APPARATUS

CERTIFICATE UNDER 37 CFR 1.10:

"Express Mail" mailing label number: EL 976595542 US

Date of Deposit: January 21, 2004

I hereby certify that this paper or fee is being deposited with the U.S. Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to Commissioner for Patents, Mail Stop Patent Application, P.O. Box 1450, Alexandria, VA 22313-1450.

By:



Name: Teresa Anderson

SUBMISSION OF PRIORITY DOCUMENT(S)

Mail Stop Patent Application

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

Dear Sir:

Applicants enclose herewith one certified copy of a Japanese application, Serial No. 2003-11791, filed January 21, 2003, the right of priority of which is claimed under 35 U.S.C. § 119.

Respectfully submitted,

MERCHANT & GOULD P.C.

P.O. Box 2903

Minneapolis, Minnesota 55402-0903

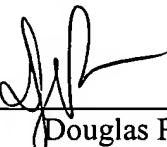
(612) 332-5300

23552

PATENT TRADEMARK OFFICE

Dated: January 21, 2004

By



Douglas P. Mueller

Reg. No. 30,300

DPM/ame



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 2 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 1 1 7 9 1
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 1 1 7 9 1]

出 願 人 ローム株式会社
Applicant(s):

2 0 0 3 年 1 0 月 2 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 0 8 7 7 2 2

【書類名】 特許願

【整理番号】 02-00492

【提出日】 平成15年 1月21日

【あて先】 特許庁長官 殿

【国際特許分類】 H02H 9/04

【発明の名称】 電子装置

【請求項の数】 2

【発明者】

【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

【氏名】 新山 賢一

【発明者】

【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

【氏名】 山本 精一

【特許出願人】

【識別番号】 000116024

【氏名又は名称】 ローム株式会社

【代表者】 佐藤 研一郎

【代理人】

【識別番号】 100083231

【住所又は居所】 東京都港区新橋 2 丁目 1 0 番 5 号 末吉ビル 5 階
ミネルバ国際特許事務所

【弁理士】

【氏名又は名称】 紋田 誠

【代理人】

【識別番号】 100112287

【住所又は居所】 東京都港区新橋 2 丁目 1 0 番 5 号 末吉ビル 5 階
ミネルバ国際特許事務所

【弁理士】

【氏名又は名称】 逸見 輝雄

【手数料の表示】**【予納台帳番号】** 016241**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9901021**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 電子装置

【特許請求の範囲】

【請求項 1】 第 1 電圧入力端子、この第 1 電圧入力端子に電氣的に接続され、前記第 1 入力端子に印加される電圧を所定値に制限する電圧制限ブロック、前記電圧制限ブロックで制限された電圧が供給される第 1 回路ブロックを含む第 1 IC と、

外部から直流電源電圧が印加される外部電源端子と、

この外部電源端子と前記第 1 電圧入力端子との間に電氣的に接続される抵抗器とを備え、

前記抵抗器と前記電圧制限ブロックとにより、前記外部電源端子に印加される前記直流電源電圧が過電圧になったときに、前記第 1 電圧入力端子に印加される入力電圧を前記所定値に制限することを特徴とする、電子装置。

【請求項 2】 前記入力電圧が印加される第 2 電圧入力端子、前記第 2 電圧入力電圧に印加された入力電圧が供給される第 2 回路ブロックを含む、少なくとも 1 つの第 2 IC とを備えることを特徴とする、請求項 1 記載の電子装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ACアダプタなどの直流電源からの予期せぬ異常電圧から、内蔵する半導体集積回路（IC）チップを保護するようにした電子装置に関する。

【0002】

【従来の技術】

従来から、ICチップへの電源電圧を、ACアダプタにより商用交流電源から変圧整流して所定の直流電圧を形成し、供給することが行われている。ACアダプタからの出力電圧は通常は安定して供給されるが、性能の低いACアダプタが用いられる場合や、ACアダプタが不良状態になった場合には、予期せぬ過電圧が発生することが避けられない。この過電圧は、ACアダプタに接続されたICに供給されるから、IC内部の回路素子が破壊されることになる。

【0003】

このような事態を避けるために、従来は図5に示されるように、交流電源1の電圧を、ACアダプタ2で変圧整流して、所定のアダプタ出力電圧 V_{ad} を形成し、これを高耐圧のレギュレータ3で安定化して、安定化された直流電圧をIC4に供給するようにしていた。

【0004】

一方、三端子レギュレータからの電源を供給されるICの内部に、その入力端子に抵抗と過電圧制限素子（例えば、ツェナーダイオード）からなる過電圧制限回路を接続し、過電圧制限素子で制限された電圧を得る。そして、制限された電圧を内部回路に供給するようにしたICが提案されている（特許文献1参照）。

【0005】**【特許文献1】**

特開平11-41801号公報

【0006】**【発明が解決しようとする課題】**

従来の高耐圧のレギュレータをACアダプタとICとの間に設けるものでは、その高耐圧のレギュレータが別に必要となるから、その分コストが上昇してしまう。

【0007】

また、特許文献1のような過電圧制限回路を用いるものでは、過電圧制限素子とともに過電圧制限回路を構成する抵抗もIC内部に形成されるから、ICのプロセス設計は入力される過電圧を基準として行う必要がある。したがって、プロセス設計上の制約から、対応できる過電圧に限界がある。また、過電圧制限回路を構成する抵抗は、過電圧制限時に過電圧制限素子に流れる電流を所定範囲の値に抑えることが必要であり、また、制限された電圧が供給される内部回路（素子ブロック）での電流に応じてその抵抗で発生する熱を所定範囲に抑えることも要求される。これらの要求に応えるために、過電圧制限回路の設計自由度が制限されてしまう。

【0008】

そこで、本発明は、予期せぬ異常電圧を発生してしまうおそれのある直流電源からの異常電圧を、IC外部に簡単な外付け素子を設けることにより、高耐圧レギュレータを不要とするとともに、ICの過電圧耐量を低減し、かつ過電圧制限回路を含めてプロセス設計を容易にすることができる、電子装置を提供することを目的とする。

【0009】

【課題を解決するための手段】

本発明の請求項1の電子装置は、第1電圧入力端子、この第1電圧入力端子に電氣的に接続され、前記第1入力端子に印加される電圧を所定値に制限する電圧制限ブロック、前記電圧制限ブロックで制限された電圧が供給される第1回路ブロックを含む第1ICと、外部から直流電源電圧が印加される外部電源端子と、この外部電源端子と前記第1電圧入力端子との間に電氣的に接続される抵抗器とを備え、前記抵抗器と前記電圧制限ブロックとにより、前記外部電源端子に印加される前記直流電源電圧が過電圧になったときに、前記第1電圧入力端子に印加される入力電圧を前記所定値に制限することを特徴とする。

【0010】

本発明の請求項2の電子装置は、本発明の請求項1の電子装置において、さらに、前記入力電圧が印加される第2電圧入力端子、前記第2電圧入力電圧に印加された入力電圧が供給される第2回路ブロックを含む、少なくとも1つの第2ICとを備えることを特徴とする。

【0011】

【発明の実施の形態】

以下、本発明の電子装置の実施の形態について、図を参照して説明する。図1は、本発明の第1の実施の形態に係る回路構成を示す図であり、図2は、電圧制限ブロック（以下、電圧リミッタ）の構成例を示す図であり、図3は、電圧制限特性を示す図である。

【0012】

図1において、商用交流電源1の交流電圧がACアダプタ2に供給され、ACアダプタ2で交流電圧を変圧し整流・平滑して、所定の直流電源電圧 V_{ad} を形

成する。この直流電源電圧 V_{ad} が、電子装置 10 の外部電源端子 T_{ad} に印加される。この直流電源電圧 V_{ad} は通常は安定して供給されるが、性能の低い AC アダプタが用いられる場合や、AC アダプタが不良状態になった場合には、予期せぬ過電圧が発生することがある。

【0013】

電子装置 10 には、第 1 IC 20 と、複数の第 2 IC 20A ~ 20N が設けられる。これら各 IC の電圧入力端子 P_{in} 、 P_{inA} ~ P_{inN} は、例えばパッドで形成され、IC 外部で共通に接続される。この共通の接続点と外部電源端子 T_{ad} との間に、抵抗器 11 が接続される。

【0014】

第 1 IC 20 には、その電圧入力端子 P_{in} に接続される電圧リミッタ 21 と回路ブロック 30 等が設けられる。第 2 IC 20A ~ 20N には、それらの電圧入力端子 P_{in} に接続される回路ブロック 30A ~ 30N 等が設けられる。なお、これらの第 2 IC 20A ~ 20N の数は任意であり、1 つでも良く、場合によっては設けないこともある。

【0015】

電圧リミッタ 21 は、電圧入力端子 P_{in} の電圧を抵抗器 11 と協働して所定値に制限するためのものであり、図 2 (a) (b) (c) に示されるような構成の回路構成のものが用いられる。図 2 (a) ~ (c) のいずれの電圧リミッタ 21 においても、電圧制限時の入力電圧 V_{in} は、所定の制限電圧値 V_{lim} に制限される。この電圧制限時の直流電源電圧 V_{ad} と、入力電圧 V_{in} である制限電圧値 V_{lim} との差電圧は抵抗器 11 の両端間に印加される。

【0016】

図 2 (a) の電圧リミッタ 21 は、電圧入力端子 P_{in} の入力電圧 V_{in} とグランド間に接続される NPN トランジスタ (以下、NPN) 22 と、この NPN 22 のベースと入力電圧点との間に直列接続された 1 以上のダイオード 23 とにより構成されている。これらダイオード 23 の直列数を N 、1 個当たりの電圧降下を V_f とすると、入力電圧 V_{in} が所定電圧「 $(N+1) \times V_f$ 」を越えようとすると、NPN 22 が導通 (オン) するから、入力電圧 V_{in} は所定電圧「(

$(N+1) \times V_f$ 」に制限される。

【0017】

図2 (b) の電圧リミッタ21は、電圧入力端子Pinの入力電圧Vinとグランド間にツェナーダイオード24が接続されている。入力電圧Vinは、ツェナーダイオード24のツェナー電圧Vzに制限される。

【0018】

図2 (c) の電圧リミッタ21は、電圧入力端子Pinの入力電圧Vinとグランド間に接続されるN型MOSトランジスタ（以下、NMOS）25と、このNMOS25のゲートと入力電圧点との間に接続された抵抗器26（抵抗値R1）及びゲートとグランド間に接続された抵抗器27（抵抗値R2）とにより構成されている。これら抵抗器26、27の分圧比により決まるゲート電圧「 $V_{in} \times R_2 / (R_1 + R_2)$ 」が、NMOS25のスレッシュホールド電圧Vthを越えようとする、NMOS25が導通（オン）するから、入力電圧Vinは所定電圧「 $V_{th} \times ((R_1 + R_2) / R_2)$ 」に制限される。

【0019】

さて、図1の電子装置10において、ACアダプタ2からの直流電源電圧Vadが予定通りの電圧値で供給されている場合には、IC20の電圧リミッタ21は動作せず、電圧入力端子Pinへの入力電圧Vinが回路ブロック30に供給される。この場合、抵抗器11には、回路ブロック30へ流入する電流と抵抗器11の抵抗値R11による電圧降下が発生し、これによる損失（発熱）が生じるが、その電圧降下分を所定の範囲内になるように抵抗値、電流値を設定しておくことにより、入力電圧Vinは回路ブロック30の動作に支障を来さない値に保たれる。

【0020】

直流電源電圧Vadが、ACアダプタが不良状態になったことなどにより、予期せぬ過電圧になり、入力電圧Vinが電圧リミッタ21の制限電圧値Vlimを越えるようになると、電圧リミッタ21が動作して入力電圧Vinは制限電圧値Vlimに制限される。この直流電源電圧Vadと入力電圧Vinとの関係を示す電圧制限特性が図3に示されている。

【0021】

この過電圧制限動作状態では、直流電源電圧 V_{ad} と制限電圧値 V_{lim} との差電圧 ($V_{ad} - V_{lim}$) が抵抗器 11 の両端間に印加され、その差電圧に応じた電圧制限電流 I_{lim} が流れる。したがって、この電流 I_{lim} と抵抗値 R_{11} とによる損失分が抵抗器 11 で発生し、発熱する。しかし、電圧リミッタ 21 とともに過電圧制限回路を構成する抵抗器 11 が、IC20 の外部に設けられているから、IC20 には過電圧が印加されず、また過電圧制限電流 I_{lim} に伴う発熱の影響を受けることはない。

【0022】

このように、IC20 内部に設けた電圧リミッタ 21 と、IC20 の電圧入力端子 P_{in} と外部電源端子 P_{ad} との間に設けた抵抗器 11 とにより、ACアダプタ 2 に発生する予期せぬ異常電圧を制限するから、IC20 には所定値 V_{lim} 以上の電圧が印加されることはない。さらに、過電圧制限回路を構成する抵抗器 11 は IC20 の外側に設けるから、過電圧制限時に電圧リミッタ 21 に流れる電流 I_{lim} を所定範囲の値に抑えること、その抵抗器 11 で発生する熱を所定範囲に抑えることなどの要求にも容易に応えることができる。したがって、IC20 の過電圧耐量を低減し、かつ電圧リミッタ 21 を含めてプロセス設計を容易にする。

【0023】

また、電子装置 10 に電圧リミッタ 21 を有する IC20 とともに、他の複数の IC20A ~ 20N を設ける場合に、本発明では過電圧制限回路を構成する抵抗器 11 は IC20 の外側に設けるから、他の IC20A ~ 20N には電圧リミッタを設ける必要がなく、電圧制限された入力電圧 V_{in} をそれぞれ電圧入力端子 $P_{inA} \sim P_{inN}$ に供給することができる。即ち、他の IC20A ~ 20N は、何らの過電圧保護対策を行うことなく、過電圧から保護される。

【0024】

なお、図1の第1の実施の形態では、電圧リミッタ 21 を1つの IC20 のみに設けることとして説明した。しかし、これに限ることなく、他の IC (例えば、IC20A) にも、同様の電圧リミッタを設けることができる。この場合、複

数の電圧リミッタが電氣的に並列に接続されるから、最も制限電圧 V_{lim} が低い電圧リミッタが電圧制限動作を行うと他の電圧リミッタはもはや電圧制限動作を行うことはない。したがって、他の電圧リミッタはバックアップ用の電圧リミッタとして機能することになる。これにより、万一、1つの電圧リミッタが故障して電圧制限動作が行えなくなった場合でも、他の電圧リミッタがバックアップ動作するから、電圧制限動作を確実に行うことができる。この点は、第2の実施の形態でも、同様である。

【0025】

図4は、本発明の第2の実施の形態に係る電子装置の回路構成を示す図であり、図1の第1の実施の形態に係る電子装置に、さらに各 IC20、20A～20N において、制御された定電圧を利用することができるように構成したものである。なお、図1の電子装置における構成と同じものには同一の符号を付しており、再度の説明は省略する。

【0026】

図4において、外部電源端子 T_{ad} から PNP トランジスタ（以下、PNP）の制御トランジスタ 12 を介して定電圧 V_c を得て、この定電圧 V_c を IC20 の定電圧入力端子 P_c に入力する。制御トランジスタ 12 のベースは、NPN 14 を介して IC20 の電圧制御端子 P_{vc} に接続され、また、NPN 14 のベースはダイオード 13 のカソードが接続され、そのアノードは電圧入力端子 P_{in} に接続される。

【0027】

IC20 には、回路ブロックの1つとして制御ブロック 30 が設けられている。制御ブロック 30 には、エラーアンプ 32 が設けられ、定電圧入力端子 P_c に入力される定電圧 V_c を分圧抵抗器 34、35 で分圧した検出電圧 V_{det} を、バンドギャップ（BG）定電圧回路 33 で形成された一定の基準電圧 V_{bg} と比較する。さらに、電圧制御端子 P_{vc} とグランド間に NPN の駆動トランジスタ 31 が設けられており、この駆動トランジスタ 31 のベースにエラーアンプ 32 の制御出力が供給される。

【0028】

また、IC20において、入力電圧 V_{in} を他の所要の回路ブロックに供給するとともに、定電圧 V_c を所要の回路ブロックに供給するように構成されている。

【0029】

さらに、電子装置10において、バッテリー15が、定電圧 V_c 点の個所に接続され、浮動充電されるように構成されている。また、他のIC20A~20Nに設けられた電圧入力端子 P_{inA} ~ P_{inN} 及び定電圧入力端子 P_{cA} ~ P_{cN} に、入力電圧 V_{in} 及び定電圧 V_c を供給するように構成している。そして、IC20A~20Nの内部において、所要の回路ブロック（図示省略）に入力電圧 V_{in} 及び定電圧 V_c を供給する。なお、バッテリー15に代えてコンデンサを用いても良いし、或いはバッテリー15を設けなくてもよい。

【0030】

この図4の第2の実施の形態において、電圧制限された入力電圧 V_{in} が制御ブロック30に供給されて、所定の制御動作を行わせる。

【0031】

制御ブロック30においては、エラーアンプ32の(+)入力端子に供給される基準電圧 V_{bg} と、(-)入力端子に入力される検出電圧 V_{det} との比較に基づく制御信号により駆動トランジスタ31が制御される。

【0032】

この駆動トランジスタ31の制御にしたがって、補助トランジスタ14を介して制御トランジスタ12の導通度が制御され、定電圧 V_c が出力される。

【0033】

また、電圧制御端子 P_{vc} の電圧は、入力電圧 V_{in} からダイオード13の順方向電圧降下分の電圧 V_f と補助トランジスタ14のベース-エミッタ間の電圧降下分の電圧 V_{be} を引いた電圧($V_{in} - V_f - V_{be}$)が印加される。

【0034】

したがって、電圧入力端子 P_{in} には電圧制限された入力電圧 V_{in} が入力され、電圧制御端子 P_{vc} には入力電圧 V_{in} より所定量だけ低い電圧が入力され、さらに定電圧入力端子 P_c には定電圧 V_c が入力されるから、IC20は制限

された電圧以下の電圧しか入力されない。

【0035】

また、IC20A～20Nには、電圧制限された入力電圧 V_{in} と定電圧 V_c とが入力されるから、過電圧に対する保護を考慮する必要がない。なお、IC20A～20Nにおいて、入力電圧 V_{in} を使用しない場合には、電圧入力端子 $P_{inA} \sim P_{inN}$ を削減することができる。

【0036】

この第2の実施の形態では、第1の実施の形態におけると同様の効果を得る他、ACアダプタ2からの直流電源電圧 V_{ad} の変動やノイズに影響されることなく、定電圧 V_c をIC20、20A～20N内の所要の回路ブロックに供給する。また、制御トランジスタ12は外部電源端子 T_{ad} 側に接続されているから、定電圧 V_c が供給される回路ブロック電流や、定電圧 V_c により充電されるバッテリー15への充電電流が、過電圧制限回路を構成する抵抗器11に流れることがない。したがって、その分の抵抗器11による電圧降下や熱損失がなく、十分な大きさの定電圧 V_c を確保でき、かつ余分な損失を低減できる。

【0037】

また、複数のIC20、20A～20Nが使用される場合に、制御ブロックが設けられる第1IC20以外のIC20A～20Nは、何らの過電圧保護対策を行うことなく過電圧から保護されるとともに、所定の定電圧 V_c を利用できる。

【0038】

さらに、電圧制御端子に P_{vc} は入力電圧 V_{in} より低い電圧までしか印加されないから、過電圧による影響を避けることができる。

【0039】

また、本発明の電子装置は、第1電圧入力端子、この第1電圧入力端子に電氣的に接続され、前記第1入力端子に印加される電圧を所定値に制限する電圧制限ブロック、電圧制御端子、第1定電圧入力端子、前記電圧制限ブロックで制限された電圧が供給され、前記第1定電圧入力端子に印加される定電圧に基づく検出電圧を基準電圧と比較してその比較結果による制御信号を前記電圧制御端子に印加する制御ブロックとを含む第1ICと、外部から直流電源電圧が印加される外

部電源端子と、この外部電源端子と前記第1電圧入力端子との間に電氣的に接続される抵抗器と、前記外部電源端子と前記前記第1定電圧入力端子間に電氣的に接続され、前記電圧制御端子に印加される前記制御信号により制御される制御トランジスタとを備え、前記抵抗器と前記電圧制限ブロックとにより、前記外部電源端子に印加される前記直流電源電圧が過電圧になったときに、前記第1電圧入力端子に印加される入力電圧を前記所定値に制限するとともに、前記定電圧を前記第1IC内の所要の回路ブロックに供給するように構成できる。

【0040】

また、本発明の電子装置は、さらに、前記定電圧が印加される第2定電圧入力端子、前記第2定電圧入力端子に印加された前記定電圧が供給される所要の回路ブロックを含む、少なくとも1つの第2ICとを備えることができる。

【0041】

また、本発明の電子装置は、さらに、前記制御トランジスタの制御入力部と前記電圧制御端子との間に補助トランジスタが設けられ、該補助トランジスタの制御入力部にダイオードを介して前記入力電圧が供給されるように構成できる。

【0042】

【発明の効果】

本発明の請求項1の電子装置によれば、IC内部に設けた電圧制限ブロックと、ICの電圧入力端子と外部端子との間に設けた抵抗器とにより、ACアダプタなどの直流電源に発生する予期せぬ異常電圧を制限するから、ICには所定値以上の電圧が印加されることはない。したがって、高耐圧レギュレータを不要としてコストを低減できる。

【0043】

さらに、過電圧制限回路を構成する抵抗器はICの外側に設けるから、過電圧制限時に過電圧制限素子に流れる電流を所定範囲の値に抑えること、その抵抗器で発生する熱を所定範囲に抑えることなどの要求にも容易に応えることができるから、ICの過電圧耐量を低減し、かつ過電圧制限ブロックを含めてプロセス設計を容易にする。

【0044】

本発明の請求項 2 の電子装置によれば、複数の IC が使用される場合に、電圧制限ブロックが設けられる IC 以外の IC は、何らの過電圧保護対策を行うことなく、過電圧から保護される。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態に係る回路構成を示す図。

【図 2】 電圧リミッタの構成例を示す図。

【図 3】 電圧リミッタの電圧制限特性を示す図。

【図 4】 本発明の第 2 の実施の形態に係る回路構成を示す図。

【図 5】 従来の、AC アダプタから IC チップへ電源を供給する構成を示す図

。

【符号の説明】

- 1 交流電源
- 2 AC アダプタ
- 10 電子装置
- 11 抵抗器
- 12 制御トランジスタ
- 13 ダイオード
- 14 補助トランジスタ
- 15 バッテリー
- 20、20A～20N IC
- 21 電圧リミッタ
- 30 制御ブロック（回路ブロック）
- 31 駆動トランジスタ
- 32 エラーアンプ
- 33 BG 定電圧回路
- 34、35 分圧抵抗
- V_{ad} 直流電源電圧
- V_{in} 入力電圧
- V_c 定電圧

T a d 外部電源端子

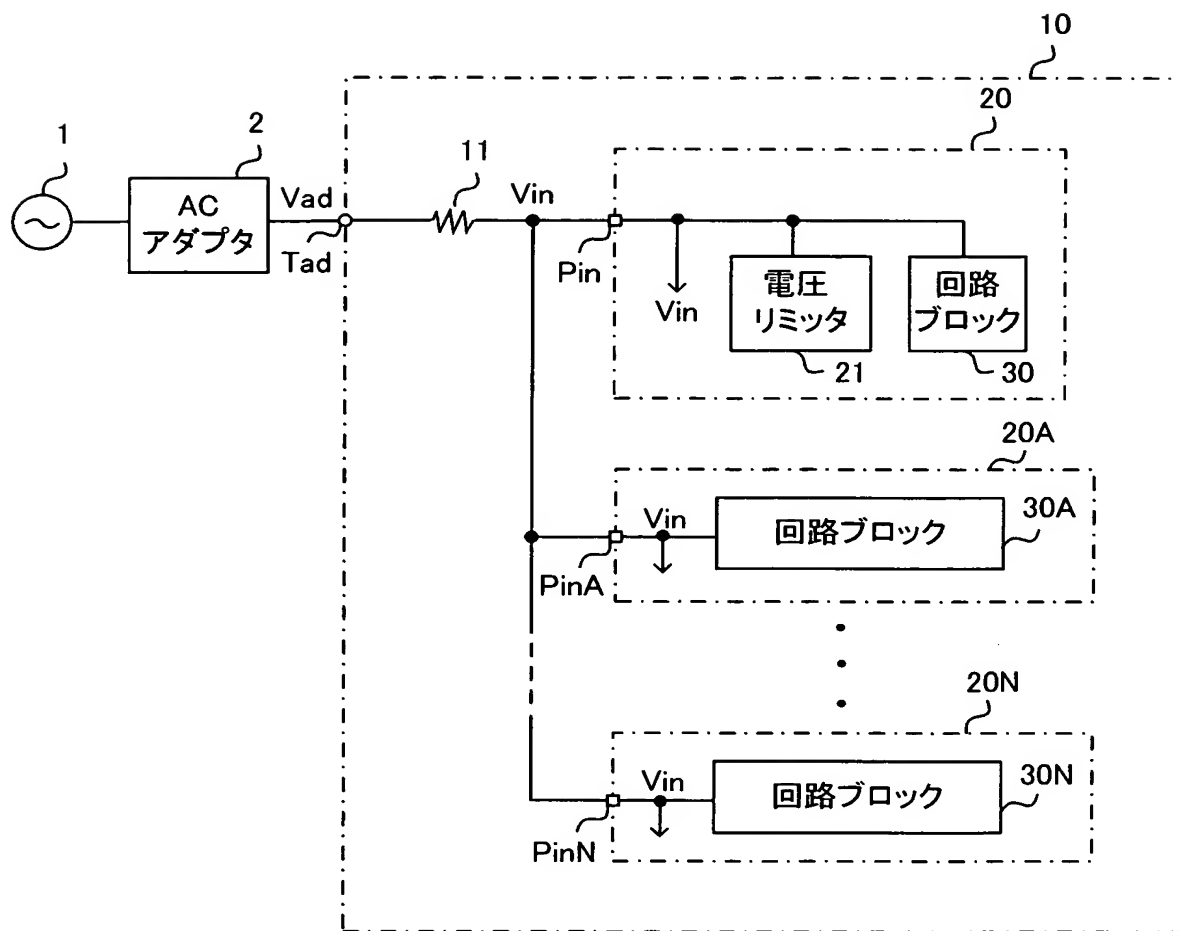
P i n、P i n A ~ P i n N 電圧入力端子

P c、P c A ~ P c N 定電圧入力端子

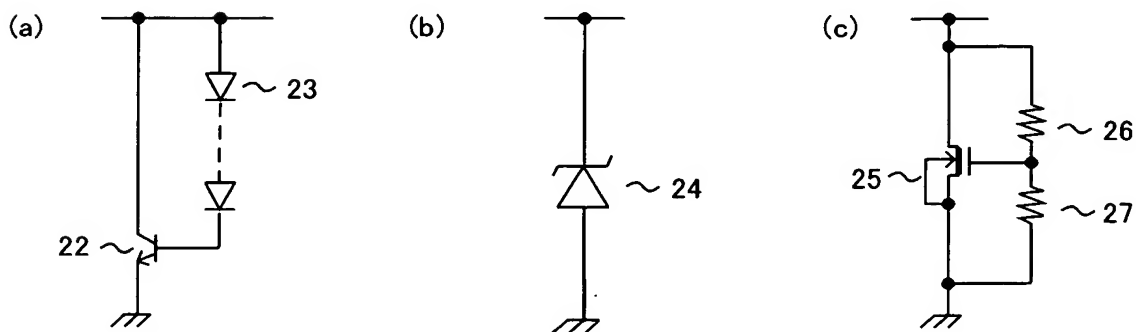
P v c 電圧制御端子

【書類名】 図面

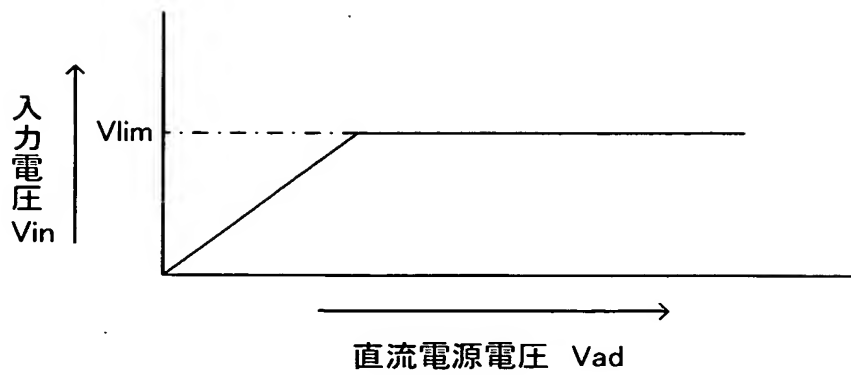
【図 1】



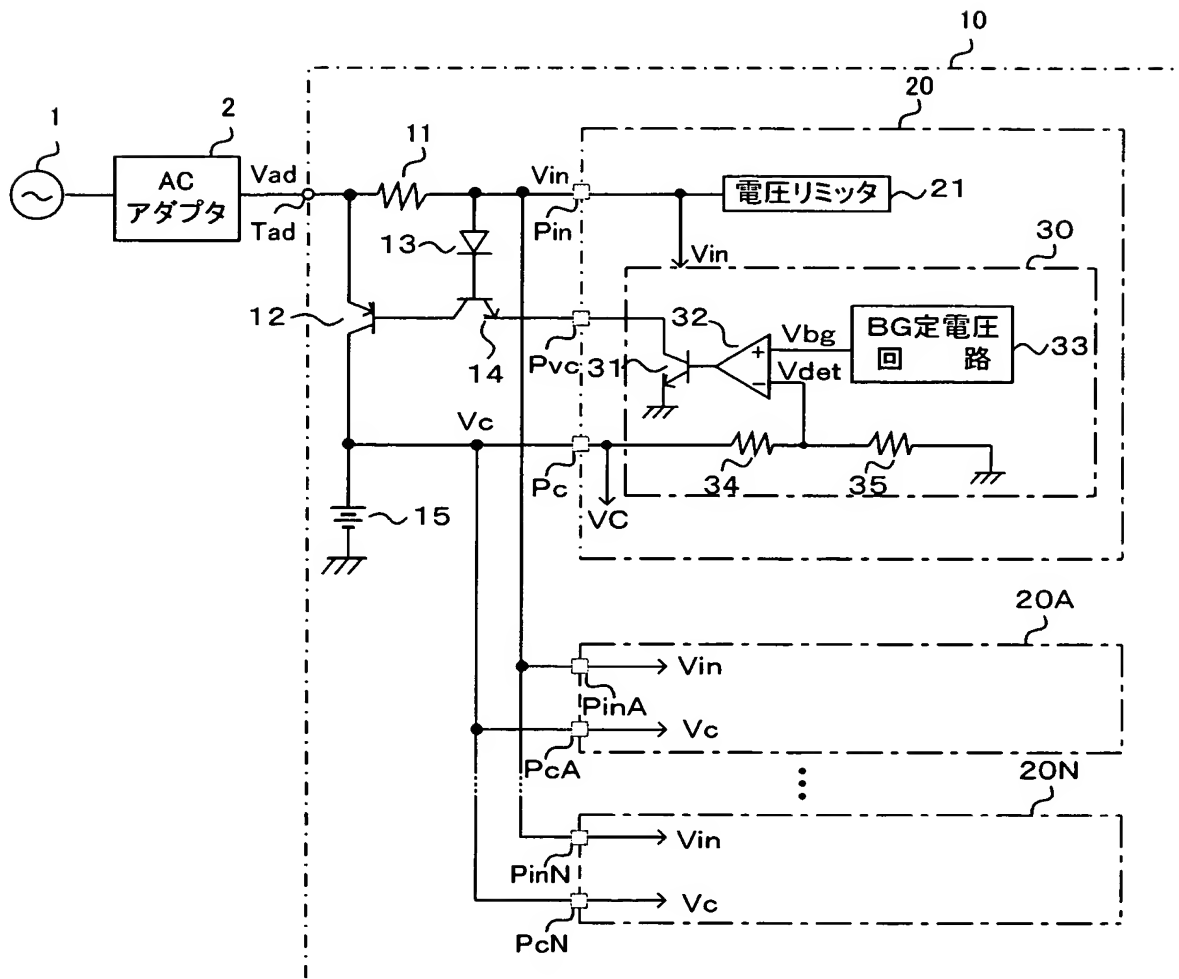
【図 2】



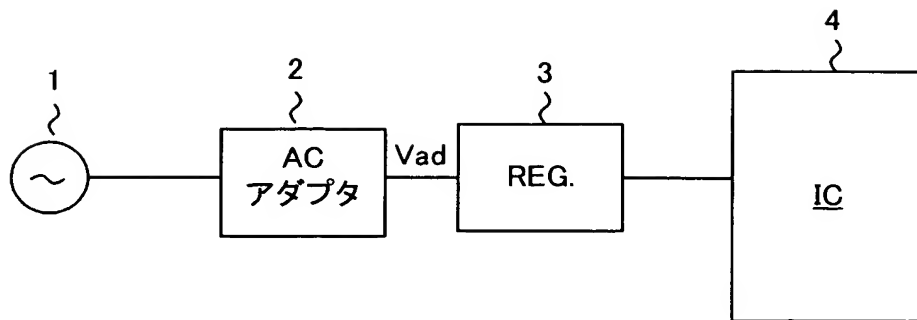
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 予期せぬ異常電圧を発生してしまうおそれのある直流電源からの異常電圧を、I C 外部に簡単な外付け素子を設けることにより、高耐圧レギュレータを不要とするとともに、I C の過電圧耐量を低減し、かつ過電圧制限回路を含めてプロセス設計を容易にすること。

【解決手段】 I C 内部に設けた電圧制限ブロックと、I C の電圧入力端子と外部端子との間に設けた抵抗器とにより、A C アダプタなどの直流電源に発生する予期せぬ異常電圧を制限し、I C に所定値以上の電圧の印加を防止する。

【選択図】 図 1

認定・付加情報

特許出願の番号 特願 2003-011791
受付番号 50300085307
書類名 特許願
担当官 第七担当上席 0096
作成日 平成15年 2月19日

<認定情報・付加情報>

【特許出願人】

【識別番号】 000116024
【住所又は居所】 京都府京都市右京区西院溝崎町 21 番地
【氏名又は名称】 ローム株式会社

【代理人】

申請人

【識別番号】 100083231
【住所又は居所】 東京都港区新橋 2 丁目 10 番 5 号 末吉ビル 5 階
ミネルバ国際特許事務所
【氏名又は名称】 紋田 誠

【代理人】

【識別番号】 100112287
【住所又は居所】 東京都港区新橋 2 丁目 10 番 5 号 末吉ビル 5 階
ミネルバ国際特許事務所
【氏名又は名称】 逸見 輝雄

次頁無

特願 2003-011791

出願人履歴情報

識別番号

[000116024]

1. 変更年月日

1990年 8月22日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町21番地

氏 名

ローム株式会社